

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-043994

(43)Date of publication of application : 14.02.2003

(51)Int.Cl. G09G 3/30
 G09F 9/30
 G09G 3/20
 H05B 33/08
 H05B 33/14

(21)Application number : 2001-226952

(71)Applicant : CANON INC

(22)Date of filing : 27.07.2001

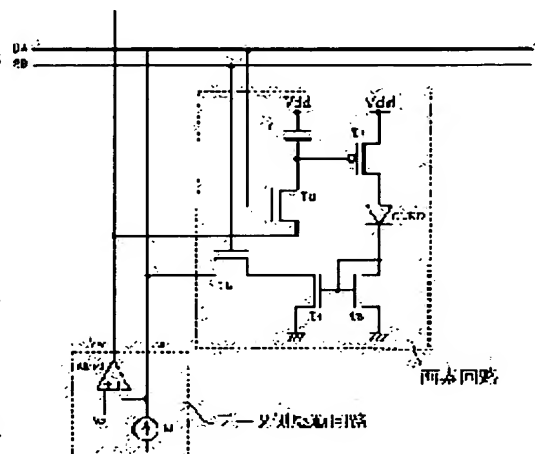
(72)Inventor : OMURA MASANOBU

(54) ACTIVE MATRIX TYPE DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To supply a desired driving current to the light emitting element of each pixel constantly and correctly by eliminating variations in threshold voltages of active elements of insides of pixels and variations in driving currents due to an early effect of them.

SOLUTION: In this display, a monitor current having correlation with a driving current is generated at the time of setting the driving current by arranging a current-voltage converter in series with a supply path over which the driving current is to be supplied to a light emitting element and by providing a voltage controlled current source to be controlled by the output voltage of the current-voltage converter and the gate voltage of a driving current generating transistor is controlled so that desired luminance can be realized based on the monitor current to obtain a control voltage and the controlled voltage is held on a capacitor.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-43994

(P2003-43994A)

(43)公開日 平成15年2月14日(2003.2.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
G 0 9 G 3/30		G 0 9 G 3/30	J 3 K 0 0 7
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 C 0 8 0
	3 6 5		3 6 5 Z 5 C 0 9 4
G 0 9 G 3/20	6 1 1	G 0 9 G 3/20	6 1 1 H
	6 2 4		6 2 4 B

審査請求 未請求 請求項の数11 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願2001-226952(P2001-226952)

(22)出願日 平成13年7月27日(2001.7.27)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 大村 昌伸

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(74)代理人 100096828

弁理士 渡辺 敬介 (外2名)

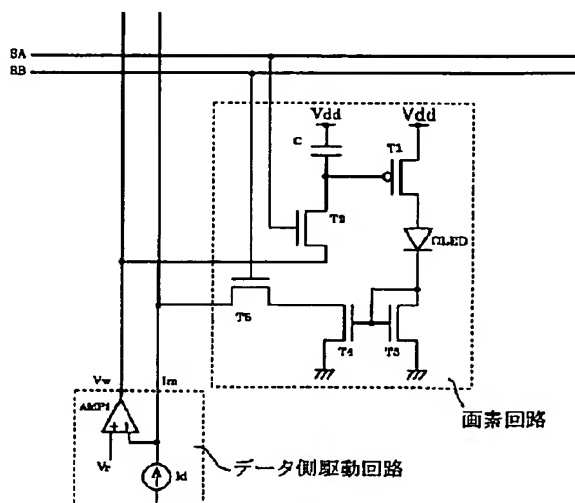
最終頁に続く

(54)【発明の名称】 アクティブマトリックス型ディスプレイ

(57)【要約】

【課題】 画素内部の能動素子のしきい値電圧のばらつき、及び、アーリー効果による駆動電流のばらつきを無くし、安定且つ正確に各画素の発光素子に所望の駆動電流を供給する。

【解決手段】 駆動電流が発光素子に供給される供給経路に電流電圧変換器を直列に配置し、前記電流電圧変換器の出力電圧で制御される電圧制御電流源を有することで、駆動電流設定時に駆動電流に相関のあるモニタ電流を発生させ、前記モニタ電流に基づいて、所望の輝度が実現できるように駆動電流発生トランジスタのゲート電圧を制御し、その制御電圧をコンデンサに保持する。



【特許請求の範囲】

【請求項 1】 発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、

前記発光素子は、該発光素子に流れる駆動電流に応じて輝度に変化する電流制御型の発光素子であり、

前記画素回路は、前記発光素子と、第 1 の電圧制御電流源と、第 1 のスイッチ回路と、駆動電流電圧変換器と、第 2 の電圧制御電流源と、第 2 のスイッチ回路と、を少なくとも含み、

前記第 1 の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、

前記第 1 のスイッチ回路は、前記第 1 の電圧制御電流源を電圧制御可能状態と制御電圧保持状態とに切り換える機能を有し、

前記駆動電流電圧変換器は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、

前記第 2 の電圧制御電流源は、前記駆動電流電圧変換器の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、

前記第 2 のスイッチ回路は、前記第 2 の電圧制御電流源を出力状態と非出力状態とに切り換える機能を有し、

前記走査側駆動回路は、少なくとも、前記第 1 のスイッチ回路と前記第 2 のスイッチ回路とに接続され、前記第 1 の電圧制御電流源を電圧制御可能状態或いは制御電圧保持状態とする制御と、前記第 2 の電圧制御電流源を出力状態或いは非出力状態とする制御とを行う機能を有し、

前記データ側駆動回路は、少なくとも、前記第 1 のスイッチ回路を介して前記第 1 の電圧制御電流源と接続され、且つ前記第 2 のスイッチ回路を介して前記第 2 の電圧制御電流源と接続され、前記第 1 の電圧制御電流源が電圧制御可能状態にあり且つ前記第 2 の電圧制御電流源が出力状態にあるときに、前記駆動電流に相関する前記モニタ電流に基づいて前記駆動電流の電流値が所望の輝度情報に対応した電流値になるように前記第 1 の電圧制御電流源の制御電圧を制御する機能を有することを特徴とするアクティブマトリックス型ディスプレイ。

【請求項 2】 請求項 1 に記載のアクティブマトリックス型ディスプレイにおいて、前記発光素子と、前記第 1 の電圧制御電流源と、前記駆動電流電圧変換器とが、電源電位と接地電位との間に、

前記第 1 の電圧制御電流源、前記発光素子、前記駆動電流電圧変換器の順、或いは、前記駆動電流電圧変換器、前記発光素子、前記第 1 の電圧制御電流源の順、で接続

されていることを特徴とするアクティブマトリックス型ディスプレイ。

【請求項 3】 請求項 1 に記載のアクティブマトリックス型ディスプレイにおいて、前記発光素子と、前記第 1 の電圧制御電流源と、前記駆動電流電圧変換器とが、電源電位と接地電位との間に、

前記駆動電流電圧変換器、前記第 1 の電圧制御電流源、前記発光素子の順、或いは、前記発光素子、前記第 1 の電圧制御電流源、前記駆動電流電圧変換器の順、で接続されていることを特徴とするアクティブマトリックス型ディスプレイ。

【請求項 4】 前記第 1 の電圧制御電流源の記憶回路はコンデンサを有した構造であり、前記第 1 の電圧制御電流源の能動素子、前記第 2 の電圧制御電流源、前記駆動電流電圧変換器、前記第 1 のスイッチ回路、前記第 2 のスイッチ回路は、絶縁ゲート型電界効果トランジスタで構成されたことを特徴とする請求項 1 から 3 のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【請求項 5】 前記絶縁ゲート型電界効果トランジスタは、薄膜トランジスタであることを特徴とする請求項 4 に記載のアクティブマトリックス型ディスプレイ。

【請求項 6】 前記第 1 の電圧制御電流源の記憶回路はコンデンサを有した構造であり、前記第 1 の電圧制御電流源の能動素子、前記第 2 の電圧制御電流源、前記駆動電流電圧変換器、前記第 1 のスイッチ回路、前記第 2 のスイッチ回路は、絶縁ゲート型電界効果トランジスタで構成され、該絶縁ゲート型電界効果トランジスタは、薄膜トランジスタであり、

前記第 1 の電圧制御電流源を構成する能動素子が、電源側のコンタクト層とゲート電極とをオーバーラップさせることにより、電圧を記憶させるコンデンサを含んだ構造を有することを特徴とする請求項 1 又は 2 に記載のアクティブマトリックス型ディスプレイ。

【請求項 7】 前記データ側駆動回路が、輝度情報を持つ基準電流源と、基準電圧源と、前記輝度情報を持つ基準電流源の出力端電圧と前記基準電圧源の電圧とを入力とする電圧比較器と、を少なくとも含み、前記第 1 の電圧制御電流源が電圧制御可能状態にあり且つ前記第 2 の電圧制御電流源が出力状態にあるときに、前記輝度情報を持つ基準電流源の出力端に前記モニタ電流を入力し、前記モニタ電流の電流値と前記輝度情報を持つ基準電流源の出力電流値とが等しくなるように、前記電圧比較器によって前記第 1 の電圧制御電流源の制御電圧を制御する機能を有することを特徴とする請求項 1 から 6 のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ

【請求項 8】 前記データ側駆動回路が、輝度情報を持つ基準電圧源と、前記モニタ電流を電圧に変換するモニタ電流電圧変換器と、前記輝度情報を持つ

10

20

30

40

50

基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とを入力とする電圧比較器と、を少なくとも含み、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記輝度情報を持つ基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有することを特徴とする請求項1から6のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ

【請求項9】 前記データ側駆動回路が、基準電圧源と、前記モニタ電流を電圧に変換するモニタ電流電圧変換器と、前記基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とを入力とする電圧比較器と、を少なくとも含み、前記モニタ電流電圧変換器の変換ゲインは輝度情報によって変化し、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有することを特徴とする請求項1から6のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ

【請求項10】 前記データ側駆動回路が、前記モニタ電流を電圧に変換するモニタ電流電圧変換器と、輝度情報を持つ基準電流源と、前記輝度情報を持つ基準電流源の出力電流を電圧に変換する基準電流電圧変換器と、前記モニタ電流電圧変換器の出力電圧と前記基準電流電圧変換器の出力電圧とを入力とする電圧比較器と、を少なくとも含み、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記モニタ電流電圧変換器の出力電圧と前記基準電流電圧変換器の出力電圧とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有することを特徴とする請求項1から6のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【請求項11】 前記駆動電流電圧変換器と前記第2の電圧制御電流源とはカレントミラー構造を有することを特徴とする請求項1から10のうちのいずれか一項に記載のアクティブマトリックス型ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、有機エレクトロルミネッセンス（EL）素子などの、電流によって輝度が制御される発光素子を各画素に備えたディスプレイに関するものであり、より詳しくは、各画素内部に設けられた絶縁ゲート型電界効果トランジスタなどの能動素子に

よって発光素子に電流を供給するアクティブマトリックス型ディスプレイに関するものである。

【0002】

【従来の技術】近年、有機EL素子を用いたディスプレイが開発されており、その駆動方法として、単純マトリックス方式とアクティブマトリックス方式がある。前者は構造が単純であるが大型且つ高精細のディスプレイの実現が困難である為に、アクティブマトリックス方式の開発が盛んに行われている。

10 【0003】有機EL素子を多数使用しアクティブマトリックス回路により駆動する場合、各画素には、発光素子を駆動する駆動電流の供給を制御する絶縁ゲート型電界効果トランジスタ、所謂薄膜トランジスタ（TFT）が接続されており、このTFTを制御することで有機EL素子の発光動作を制御している。

【0004】（従来例1）図9は、特開平8-234683号公報に示された1画素分の等価回路を示す。

20 【0005】画素が備える画素回路は、有機EL素子OLED、薄膜トランジスタTFT1、薄膜トランジスタTFT2、および、コンデンサCから構成される。有機EL素子は一般的に整流特性があるため、有機発光ダイオード（OLED）と呼ばれる場合があり、図中では、ダイオードの記号を用いている。ただし、発光素子は必ずしもOLEDに限るものではなく、素子に流れる電流によって輝度が制御される発光素子であればよいし、また、必ずしも整流特性が要求されるものでもない。図9では、p型トランジスタTFT2のソースを電源電位Vddに、ドレインは有機EL素子OLEDのアノードに接続し、有機EL素子OLEDのカソードは接地電位に接続されている。一方、p型トランジスタTFT1のゲートは走査線Scanに、ソースはデータ線Dataに、ドレインはコンデンサC及びTFT2のゲートに接続され、コンデンサの他端は電源電位Vddに接続されている。

30 【0006】画素を動作させる為に、まず、走査線ScanによりTFT1をON状態にし、データ線Dataに輝度情報を表すデータ電位Vwを印加するとコンデンサCの充電または放電が行われ、TFT2のゲート電位はデータ電位Vwに一致する。走査線ScanによりTFT1をOFF状態にすると、TFT2のゲート電位はコンデンサCによって保持され、TFT2のゲート・ソース電圧Vgsに応じた駆動電流が有機EL素子OLEDに供給され、その電流量に応じた輝度で発光しつづける。

【0007】（従来例2）図10は、特開2001-56667号公報に示す1画素分の等価回路を示す。

50 【0008】画素が備える画素回路は、有機EL素子OLEDと、信号電流を電圧に変換する或いは有機EL素子OLEDに電流を供給するトランジスタTFT1と、トランジスタTFT1の動作状態を制御するトランジス

タTFT2と、信号電流を取り込む状態或いは有機EL素子OLEDに駆動電流を供給する状態を選択するトランジスタTFT3、トランジスタTFT4と、電圧を保持するコンデンサCとで構成されている。

【0009】図10では、TFT1のソースは電源電位V_{dd}に接続され、ゲートはTFT2のソースとコンデンサCに接続されている。コンデンサCの他端は電源電位V_{dd}に接続されている。TFT1のドレインはTFT2のドレイン、TFT3のドレイン、TFT4のドレインに接続されている。TFT4のソースは有機EL素子OLEDのアノードに接続され、有機EL素子OLEDのカソードは接地電位に接続されている。TFT3のソースはデータ信号線Dataに接続され、TFT2、TFT3、TFT4のゲートは全て走査線Scanに接続されている。

【0010】画素を動作させる為に、まず、走査線ScanによりTFT2、TFT3はON状態に、TFT4はOFF状態にすると、信号電流I_wがTFT1に取り込まれ、TFT1には信号電流I_wを流す為に必要なゲート・ソース電圧V_{gs}が発生し、この電圧V_{gs}をコンデンサCに保持する。走査線ScanによってTFT2、TFT3をOFF状態、TFT4をON状態にすると、TFT1はコンデンサCに保持されている電圧に基づいて駆動電流を有機EL素子OLEDに流し続け、有機EL素子OLEDはその電流量に相当した輝度で発光し続ける。

【0011】(従来例3) 図11は、特開2001-147659号公報に示す1画素分の等価回路を示す。

【0012】画素が備える画素回路は、信号電流を電圧に変換する変換用のトランジスタTFT1、発光素子に流れる駆動電流を制御するトランジスタTFT2、走査線ScanAによって画素回路とデータ線とを接続もしくは遮断する取込用のトランジスタTFT3、走査線ScanBによって輝度情報書き込み中にTFT1のゲート・ドレイン間を短絡するスイッチ用のトランジスタTFT4、TFT1のゲート・ソース電圧を輝度情報書き込み終了後も保持するコンデンサC、及び有機EL素子OLEDから構成される。

【0013】図11では、TFT1、TFT2のソースは電源電位V_{dd}に接続され、TFT1のゲートはTFT2のゲートとコンデンサCとTFT4のドレインに接続されている。コンデンサCの他端は電源電位V_{dd}に接続されている。TFT2のドレインは有機EL素子OLEDのアノードに接続され、有機EL素子OLEDのカソードは接地電位に接続されている。TFT1のドレインはTFT4のソースとTFT3のドレインに接続される。TFT3のソースはデータ信号線Dataに接続されている。TFT3のゲートは走査線ScanA、TFT4のゲートは走査線ScanBに接続されている。

【0014】画素を動作させる為に、まず、走査線Sc

anA、ScanBによりTFT3、TFT4をON状態にすると、TFT1とTFT2はカレントミラー構造を有することになり、信号電流I_wがTFT1に取り込まれ、TFT2はカレントミラー比に従って電流を有機EL素子OLEDに流し、TFT1のゲートに発生した電圧はコンデンサCに保持される。走査線ScanA、ScanBによりTFT3、TFT4をOFF状態にすると、TFT1とTFT2のカレントミラー構造は解除され、コンデンサCに保持された電圧に従ってTFT2が電流を有機EL素子OLEDに流し続け、発光素子はその電流量に相当した輝度で発光し続ける。

【0015】

【発明が解決しようとする課題】アクティブマトリックス型ディスプレイにおいて、能動素子である薄膜トランジスタは、一般的に一枚のガラス基板上に同時にアモルファスシリコン或いはポリシリコンを用いて形成される。しかしながら、アモルファスシリコン或いはポリシリコンを用いて形成されたTFTは、単結晶シリコンに比べて、結晶性が悪く、伝導機構の制御性が悪い為、その特性のばらつきが大きいことが知られている。

【0016】従って、同一基板上に形成されたTFTでも、そのしきい値電圧V_{th}が画素毎によって数百mV、場合によっては1V以上ばらつくことも稀ではない。この場合、例えば異なる画素に対して同じ信号電位V_wを書き込んでも画素によってV_{th}がばらつく為に、発光素子に流れる電流が違い、所望の輝度が得られずディスプレイとして高い画質を期待することができない。

【0017】従来例1(特開平8-234683)の構成の場合は、この影響を直接受けてしまう。また、従来例2(特開2001-56667)は、しきい値電圧のばらつき問題を解決しているが、信号電流を電圧に変換するときのTFT1のソース・ドレイン電圧V_{ds}と有機EL素子OLEDに駆動電流を供給しているときのTFT1のソース・ドレイン電圧V_{ds}が違うため、トランジスタのアーリー効果によってデータ信号に基づいた正確な駆動電流を発光素子に流すことができない。また、従来例3(特開2001-147659)は、しきい値電圧のばらつきに関する問題をTFT1とTFT2で構成されるカレントミラーの誤差レベルにして低減しているが、根本的にばらつき問題を解決していない。さらに、TFT1のソース・ドレイン電圧V_{ds1}とTFT2のソース・ドレイン電圧V_{ds2}が異なるために、従来例2と同様に、トランジスタのアーリー効果によって正確な駆動電流を発光素子に流すことができない。さらに、有機EL素子OLEDの動作電圧が大きくなり、TFT1のソース・ドレイン電圧が十分に確保できず3極管領域で動作した場合には、所望の駆動電流から大きく外れた電流を発光素子に供給することにもなる。

【0018】本発明の目的は、上記従来の技術において

存在していたしきい値電圧のばらつきによる発光素子へ供給する駆動電流のばらつき問題を解決し、従来よりも高性能なアクティブマトリックス型ディスプレイを提供することにある。

【0019】

【課題を解決するための手段】上記課題を解決するための本発明は、発光素子を少なくとも含む画素回路を備えた画素をマトリックス状に複数配置し、前記画素回路の制御を行うための走査側駆動回路とデータ側駆動回路とを少なくとも有するアクティブマトリックス型ディスプレイであって、前記発光素子は、該発光素子に流れる駆動電流に応じて輝度が変化する電流制御型の発光素子であり、前記画素回路は、前記発光素子と、第1の電圧制御電流源と、第1のスイッチ回路と、駆動電流電圧変換器と、第2の電圧制御電流源と、第2のスイッチ回路と、を少なくとも含み、前記第1の電圧制御電流源は、制御電圧により制御される能動素子と該制御電圧を記憶できる記憶回路とを少なくとも含み、前記制御電圧に基づいて前記駆動電流を発生させる機能を有し、前記第1のスイッチ回路は、前記第1の電圧制御電流源を電圧制御可能状態と制御電圧保持状態とに切り換える機能を有し、前記駆動電流電圧変換器は、前記駆動電流が流れる電流経路に対して直列に接続され、前記駆動電流を電圧に変換する機能を有し、前記第2の電圧制御電流源は、前記駆動電流電圧変換器の出力電圧に基づいて前記駆動電流に相関するモニタ電流を発生させる機能を有し、前記第2のスイッチ回路は、前記第2の電圧制御電流源を出力状態と非出力状態とに切り換える機能を有し、前記走査側駆動回路は、少なくとも、前記第1のスイッチ回路と前記第2のスイッチ回路とに接続され、前記第1の電圧制御電流源を電圧制御可能状態或いは制御電圧保持状態とする制御と、前記第2の電圧制御電流源を出力状態或いは非出力状態とする制御とを行う機能を有し、前記データ側駆動回路は、少なくとも、前記第1のスイッチ回路を介して前記第1の電圧制御電流源と接続され、且つ前記第2のスイッチ回路を介して前記第2の電圧制御電流源と接続され、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記駆動電流に相関する前記モニタ電流に基づいて前記駆動電流の電流値が所望の輝度情報に対応した電流値になるように前記第1の電圧制御電流源の制御電圧を制御する機能を有することを特徴とする。

【0020】また本発明は、上記本発明において、「前記発光素子と、前記第1の電圧制御電流源と、前記駆動電流電圧変換器とが、電源電位と接地電位との間に、前記第1の電圧制御電流源、前記発光素子、前記駆動電流電圧変換器の順、或いは、前記駆動電流電圧変換器、前記発光素子、前記第1の電圧制御電流源の順、で接続されていること」、又は「前記発光素子と、前記第1の電

圧制御電流源と、前記駆動電流電圧変換器とが、電源電位と接地電位との間に、前記駆動電流電圧変換器、前記第1の電圧制御電流源、前記発光素子の順、或いは、前記発光素子、前記第1の電圧制御電流源、前記駆動電流電圧変換器の順、で接続されていること」、を好ましい態様として含むものである。

【0021】また本発明は、上記本発明において、「前記第1の電圧制御電流源の記憶回路はコンデンサを有した構造であり、前記第1の電圧制御電流源の能動素子、前記第2の電圧制御電流源、前記駆動電流電圧変換器、前記第1のスイッチ回路、前記第2のスイッチ回路は、絶縁ゲート型電界効果トランジスタで構成されたこと」、更には、「前記絶縁ゲート型電界効果トランジスタは、薄膜トランジスタであること」、を好ましい態様として含むものであり、又は、「前記第1の電圧制御電流源の記憶回路はコンデンサを有した構造であり、前記第1の電圧制御電流源の能動素子、前記第2の電圧制御電流源、前記駆動電流電圧変換器、前記第1のスイッチ回路、前記第2のスイッチ回路は、絶縁ゲート型電界効果トランジスタで構成され、該絶縁ゲート型電界効果トランジスタは、薄膜トランジスタであり、前記第1の電圧制御電流源を構成する能動素子が、電源側のコンタクト層とゲート電極とをオーバーラップさせることにより、電圧を記憶させるコンデンサを含んだ構造を有すること」、を好ましい態様として含むものである。

【0022】また本発明は、上記本発明において、「前記データ側駆動回路が、輝度情報を持つ基準電流源と、基準電圧源と、前記輝度情報を持つ基準電流源の出力端電圧と前記基準電圧源の電圧とを入力とする電圧比較器と、を少なくとも含み、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記輝度情報を持つ基準電流源の出力端に前記モニタ電流を入力し、前記モニタ電流の電流値と前記輝度情報を持つ基準電流源の出力電流値とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有すること」、又は、「前記データ側駆動回路が、輝度情報を持つ基準電圧源と、前記モニタ電流を電圧に変換するモニタ電流電圧変換器と、前記輝度情報を持つ基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とを入力とする電圧比較器と、を少なくとも含み、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記輝度情報を持つ基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有すること」、又は、「前記データ側駆動回路が、基準電圧源と、前記モニタ電流を電圧に変換するモニタ電流電圧変換器と、前記基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とを入力とする電圧比較器と、を

少なくとも含み、前記モニタ電流電圧変換器の変換ゲインは輝度情報によって変化し、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記基準電圧源の電圧と前記モニタ電流電圧変換器の出力電圧とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有すること」、又は、

「前記データ側駆動回路が、前記モニタ電流を電圧に変換するモニタ電流電圧変換器と、輝度情報を持つ基準電流源と、前記輝度情報を持つ基準電流源の出力電流を電圧に変換する基準電流電圧変換器と、前記モニタ電流電圧変換器の出力電圧と前記基準電流電圧変換器の出力電圧とを入力とする電圧比較器と、を少なくとも含み、前記第1の電圧制御電流源が電圧制御可能状態にあり且つ前記第2の電圧制御電流源が出力状態にあるときに、前記モニタ電流電圧変換器の出力電圧と前記基準電流電圧変換器の出力電圧とが等しくなるように、前記電圧比較器によって前記第1の電圧制御電流源の制御電圧を制御する機能を有すること」、を好ましい態様として含むものである。

【0023】また本発明は、上記本発明において、「前記駆動電流電圧変換器と前記第2の電圧制御電流源とはカレントミラー構造を有すること」、を好ましい態様として含むものである。

【0024】ここで、電圧制御電流源とは、電圧に基づいて流す電流を規制する手段を示し、駆動電流電圧変換器とは、駆動電流に相関する電圧を出力する手段を示し、モニタ電流電圧変換器とは、モニタ電流に相関する電圧を出力する手段を示し、電圧比較器とは、電圧を比較するだけでなく、それに基づいて電圧を出力する手段を示している。

【0025】また、電圧制御可能状態とは、制御電圧を変化させて制御することが可能な状態を示し、制御電圧保持状態とは、記憶回路に記録された制御電圧を外部から変化させないように保持している状態を示し、出力状態とは、モニタ電流を流している状態を示し、非出力状態とは、モニタ電流が流れないようにしている状態を示している。

【0026】

【発明の実施の形態】以下、発光素子に有機エレクトロルミネッセンス素子（有機EL素子）を用いた本発明の好ましい実施の形態を説明するが、本発明はこれらに限定されるものではなく、発光素子に流れる駆動電流によって輝度が制御される電流制御型の発光素子を用いたアクティブマトリクス型ディスプレイにおいて効果を有するものである。

【0027】（実施の形態1）図1は、本発明のアクティブマトリクス型ディスプレイの第1の実施形態を示す構成図であり、図1においては画素回路は1画素分のみを示している。

【0028】まず、構成を説明する。

【0029】画素内部の画素回路は、有機EL素子OLEDと第1の電圧制御電流源を構成するp型薄膜トランジスタT1と、第1の電圧制御電流源の制御電圧を記録保持するコンデンサCと、第1の電圧制御電流源の制御電圧を電圧制御可能状態或いは制御電圧保持状態に制御する第1のスイッチ回路となるn型薄膜トランジスタT2と、第1の電圧制御電流源で発生した駆動電流を電圧に変換する駆動電流電圧変換器となるn型薄膜トランジスタT3と、駆動電流電圧変換器の出力電圧によって制御される第2の電圧制御電流源となるn型薄膜トランジスタT4と、第2の電圧制御電流源が発生させるモニタ電流を出力状態或いは非出力状態に制御する第2のスイッチ回路となるn型薄膜トランジスタT5で構成されている。本実施形態で示す構成においては、T3の駆動電流電圧変換器とT4の第2の電圧制御電流源は、カレントミラー構造になっているといえる。

【0030】画素領域外部には、データ側駆動回路が設置され、その内部には、基準電圧源V_rの電圧を1つの入力とする電圧比較器AMP1と、輝度情報を持つ基準電流源I_dとが配置されている。

【0031】より詳細に構成を説明する。

【0032】p型薄膜トランジスタT1のゲートには、コンデンサCとn型薄膜トランジスタT2のドレインが接続されている（コンデンサCの充放電に際してT2の該電極（ここでドレインとしている電極）はソースともなるが、説明の簡単化のため本明細書中ではT2に関しては、薄膜トランジスタのソース又はドレインとなる2電極のうちコンデンサCに接続されている側をドレインと呼ぶこととする）。T1のソース及びコンデンサCの他端は電源電位V_{dd}に接続されている。T1のドレインは、有機EL素子OLEDのアノードに接続されている。OLEDのカソードには、n型薄膜トランジスタT3のゲートとドレイン、n型薄膜トランジスタT4のゲートが接続されている。T3、T4のソースは接地電位に接続されている。T4のドレインは、n型薄膜トランジスタT5のソースに接続されている。T5のドレインは、画素領域外部に設置されたデータ側駆動回路内の輝度情報を持つ基準電流源I_dの出力端と電圧比較器AMP1の負極端子に接続されている。AMP1の正極端子には基準電圧源V_rからの電圧が入力され、AMP1の出力は、画素内部のT2のソースに接続されている。T2のゲートには走査線が接続され、画素領域外部に設置された走査側駆動回路（図示していない）からの走査信号SAが入力される。またT5のゲートには別の走査線が接続され、走査信号SBが入力される。

【0033】次に動作を説明する。

【0034】まず、所望の輝度で画素を発光させるためには、OLEDに供給すべき駆動電流を決定するT1のゲート電圧（制御電圧）を設定する。この動作を行うに

は、まず、走査信号SBをハイレベルにしT5をON状態（導通状態）にした後、走査信号SAをハイレベルにしT2をON状態（導通状態）にする。これにより、第1の電圧制御電流源は電圧制御可能状態になり且つ第2の電圧制御電流源は出力状態になる。以下、この状態にあるときを制御電圧の制御時という。この制御時には、T1はゲート電圧に従って駆動電流を発生させ、その電流をOLEDに供給し、OLEDを流れた駆動電流はT3の駆動電流電圧変換器で一旦電圧信号に変換し、その電圧信号でT4の第2の電圧制御電流源は、駆動電流に
10 相関する電流（モニタ電流）Imを発生する。モニタ電流Imは、画素領域外部に設置されたデータ側駆動回路内の基準電流源Idに加算され、AMP1の負極端子に寄生する容量（図示していない）を充放電し、AMP1の正極端子に入力されている基準電圧源Vrの電圧と等しくなるようにT2を介してT1のゲート電圧を制御する。そして、T1が発生する駆動電流に相関するモニタ電流Imと輝度情報を持った基準電流源Idの電流とが等しくなったときに制御は安定状態となり、制御電圧が
20 適切に設定される。こうして制御されたT1のゲート電圧（制御電圧）はコンデンサCに保持される。

【0035】制御電圧が設定されたならば、走査信号SAをロウレベルにしT2をOFF状態（非導通状態）にした後、走査信号SBをロウレベルにしT5をOFF状態（非導通状態）にする。これにより、第1の電圧制御電流源は制御電圧保持状態になり且つ第2の電圧制御電流源は非出力状態になる。以下、この状態を制御電圧の保持時という。この保持時には、画素領域外部のデータ側駆動回路からの制御は行われず、画素内部のコンデンサCに記録された制御電圧は保持される。この保持された電圧によって、T1から駆動電流を有機EL素子OLEDに供給しつづける。

【0036】なお、制御電圧をコンデンサに正確に書き込む為には、走査信号SA、SBの変化を同時に行わず、上記のような順番をもって行うことが望ましい。

【0037】本実施形態において、駆動電流を画素領域外部に設置されたデータ側駆動回路によって所望の電流値に制御するので、各画素ごとの駆動電流を決定するトランジスタのしきい値電圧がばらつき各画素ごとの輝度が変わるといった問題は発生しない。

【0038】また、制御電圧の制御時と保持時において、駆動電流が流れる経路に変化が無いので、駆動電流を発生するトランジスタのアーリー効果の影響を受けないものになっている。

【0039】さらに、有機EL素子OLEDの発光動作時のアノード・カソード端電圧（ON電圧）が輝度によって大きく変化したり、あるいは、経時劣化によってON電圧が大きく上昇したりして、駆動電流を発生するトランジスタT1のソース・ドレイン電圧が十分に取れず、トランジスタT1が3極管領域（線形領域）での動
50

作状態になったとしても、正確に駆動電流を有機EL素子OLEDに供給することができる。

【0040】また、配線の寄生容量に対してモニタ電流が小さく、制御が安定に行えない場合は、T3、T4のカレントミラーのミラー比を適切に設計すればよい。

【0041】また、本実施形態で示した構成以外に、p型トランジスタをn型トランジスタに、n型トランジスタをp型トランジスタに変更した場合の構成でも構わないが、これらは容易に推測することができるので記述は省略する。

【0042】なお、本実施形態では、トランジスタとしてアモルファスシリコン或いはポリシリコンを用いた絶縁ゲート型薄膜トランジスタを念頭において説明してきたが、必ずしもシリコン系材料によるトランジスタを使用することに限らず、化合物半導体或いは有機半導体などで形成されたトランジスタでも同様の効果を得ることができるのであれば、本発明に用いるトランジスタの種類は限定されるものでない。

【0043】（実施の形態2）図4は、本発明のアクティブマトリックス型ディスプレイの第2の実施形態を示す構成図であり、図4においては画素回路は1画素分のみを示している。

【0044】まず、構成を説明する。画素回路の構成は、実施形態1と同じなので説明を省く。

【0045】画素領域外部には、データ側駆動回路が設置され、その内部には、輝度情報を持つ基準電圧源Vrの電圧を1つの入力とする電圧比較器AMP1と、モニタ電流電圧変換器となる抵抗Rとが配置されている。AMP1の出力は、第1のスイッチ回路であるT2を介して、トランジスタT1のゲートに接続され、AMP1の正極端子には基準電圧源Vrの電圧が入力され、AMP1の負極端子には、第2のスイッチ回路であるT5を介して第2の電圧制御電流源であるT4が、またモニタ電流電圧変換器である抵抗Rを介して電源電位Vddが接続される。

【0046】次に、駆動電流設定制御動作のうち本形態の特徴的な部分を説明する。

【0047】制御電圧の制御時には、データ側駆動回路に駆動電流に相関するモニタ電流Imが入力される。モニタ電流Imは抵抗Rによって電圧Vmに変換される。電圧Vmは、AMP1の負極端子に入力され、AMP1の正極端子に入力されている基準電圧源Vrの電圧と等しくなるように、第1のスイッチ回路であるT2を介してトランジスタT1のゲート電圧（制御電圧）を制御し、所望の輝度が得られる駆動電流を発生させ発光素子に供給する。

【0048】制御電圧の保持時は、実施形態1と同じなので説明を省く。

【0049】本実施形態においても、実施形態1と同様な効果が得られる。

【0050】なお、上記説明では、輝度情報を基準電圧源 V_r の電圧に持たせているが、必ずしもこの限りではなく、基準電圧源 V_r の電圧を固定とし、輝度情報によって抵抗 R の抵抗値を変化させても構わない。

【0051】（実施の形態3）図5は、本発明のアクティブマトリックス型ディスプレイの第3の実施形態を示す構成図であり、図5においては画素回路は1画素分のみを示している。

【0052】まず、構成を説明する。画素内部の構成は、実施形態1と同じなので説明を省く。

【0053】画素領域外部には、データ側駆動回路が設置され、その内部においては、輝度情報を持つ基準電流源 I_d が抵抗 R_1 に接続され且つ電圧比較器AMP1の負極端子に接続されている。また、駆動電流に相關するモニタ電流 I_m はモニタ電流電圧変換器である抵抗 R_2 に入力され且つ電圧比較器AMP1の正極端子に入力される。また、 R_1 、 R_2 の他端は電源電圧 V_{dd} に接続されている。AMP1の出力は、第1のスイッチ回路であるT2を介してトランジスタT1のゲートに接続されている。

【0054】次に、駆動電流設定制御動作のうち本形態の特徴的な部分を説明する。

【0055】制御電圧の制御時には、データ側駆動回路に駆動電流に相關するモニタ電流 I_m が入力される。電流 I_m が抵抗 R_2 によって変換された電圧 V_m が、基準電流源 I_d と抵抗 R_1 とで発生する電圧 V_d と等しくなるように、第1のスイッチ回路であるT2を介してトランジスタT1のゲート電圧（制御電圧）を制御し、所望の輝度が得られる駆動電流を発生させ発光素子に供給する。

【0056】制御電圧の保持時は、実施形態1と同じなので説明を省く。

【0057】本実施形態においても、実施形態1と同様な効果が得られる。

【0058】（実施の形態4）図6は、本発明のアクティブマトリックス型ディスプレイの第4の実施形態を示す構成図であり、図6においては画素回路は1画素分のみを示している。

【0059】まず、構成を説明する。

【0060】画素内部には、有機EL素子OLEDと、第1の電圧制御電流源を構成するp型薄膜トランジスタT1と、第1の電圧制御電流源の制御電圧を記録保持するコンデンサCと、第1の電圧制御電流源の制御電圧を電圧制御可能状態或いは制御電圧保持状態に制御する第1のスイッチ回路となるn型薄膜トランジスタT2と、第1の電圧制御電流源で発生した駆動電流を電圧に変換する駆動電流電圧変換器となるp型薄膜トランジスタT3と、駆動電流電圧変換器の出力電圧によって制御される第2の電圧制御電流源となるp型薄膜トランジスタT4と、第2の電圧制御電流源が発生させるモニタ電流を

出力状態或いは非出力状態に制御する第2のスイッチ回路となるn型薄膜トランジスタT5で構成されている。本実施形態が示す構成においては、T3の駆動電流電圧変換器とT4の第2の電圧制御電流源は、カレントミラー構造になっているといえる。

【0061】画素領域外部には、データ側駆動回路が設置され、その内部には、基準電圧源 V_r の電圧を1つの入力とする電圧比較器AMP1と、輝度情報を持つ基準電流源 I_d とが配置されている。

10 【0062】より詳細に構成を説明する。

【0063】p型薄膜トランジスタT1のゲートには、コンデンサCとn型薄膜トランジスタT2のドレインが接続されている。コンデンサCの他端は電源電圧 V_{dd} に接続されている。T1のドレインは、有機EL素子OLEDのアノードに接続されており、有機EL素子OLEDのカソードは接地電位に接続されている。T1のソースには、p型薄膜トランジスタT3のゲートとドレイン、p型薄膜トランジスタT4のゲートが接続されている。T3、T4のソースは電源電位 V_{dd} に接続されている。T4のドレインは、n型薄膜トランジスタT5のドレインに接続されている。T5のソースは、画素領域外部に設置されたデータ側駆動回路内の輝度情報を持つ基準電流源 I_d の出力端と電圧比較器AMP1の正極端子とに接続されている。AMP1の負極端子には基準電圧源 V_r の電圧が入力され、AMP1の出力は、画素内部のT2のソースに接続されている。T2のゲートには走査線が接続され、画素領域外部に設置された走査側駆動回路（図示していない）からの走査信号SAが入力される。また、T5のゲートには別の走査線が接続され、走査信号SBが入力される。

30 【0064】次に動作を説明する。

【0065】まず、所望の輝度で画素を発光させる為には、OLEDに供給すべき駆動電流を決定するT1のゲート電圧を設定する。この動作を行うには、まず、走査信号SBをハイレベルにしT5をON状態（導通状態）にした後、走査信号SAをハイレベルにしT2をON状態（導通状態）にする。この制御電圧の制御時には、T1はゲート電圧に従って駆動電流を発生させ、OLEDに供給する。このとき、T1で発生した駆動電流はT3の駆動電流電圧変換器を介して流れるため、駆動電流電圧変換器は駆動電流に相当した電圧を作る。この電圧をもとにT4の第2電圧制御電流源は、駆動電流に相關する電流（モニタ電流） I_m を発生する。本実施形態においては、T3、T4の動作はカレントミラー動作を行っているといえる。モニタ電流 I_m は、画素領域外部に設置されたデータ側駆動回路内の基準電流源 I_d に加算され、AMP1の正極端子に寄生する容量（図示していない）を充電し、AMP1の負極端子に入力されている基準電圧源 V_r の電圧と等しくなるようにT1のゲート電圧を制御する。そして、T1が発生する駆動電流に相

関するモニタ電流 I_m と輝度情報を持った基準電流源 I_d の電流が等しくなったときに制御は安定状態となり、制御電圧が適切に設定される。制御された T_1 のゲート電圧 (制御電圧) はコンデンサに保持される。

【0066】制御電圧が設定されたならば、走査信号 S_A をロウレベルにし T_2 を OFF 状態 (非導通状態) にした後、走査信号 S_B をロウレベルにし T_5 を OFF 状態 (非導通状態) にする。この制御電圧の保持時には、画素領域外部のデータ側駆動回路からの制御は行われず、画素内部のコンデンサ C に記録された制御電圧は保持される。この保持された電圧によって、 T_1 から駆動電流を $OLED$ に供給しつづける。

【0067】なお、制御電圧をコンデンサに正確に書き込む為には、走査信号 S_A 、 S_B の変化を同時に行わず、上記のような順番をもって行うことが望ましい。

【0068】本実施形態においては、実施形態 1 と同様な効果が得られ、且つ、 $OLED$ の一端を全画素共通の電位に接続しているので、ディスプレイの製造が簡単化される。

【0069】(実施の形態 5) 図 7 は、本発明のアクティブマトリックス型ディスプレイの第 5 の実施形態を示す構成図であり、図 7 においては画素回路は 1 画素分のみを示している。

【0070】まず、構成を説明する。画素内部の構成は、実施形態 4 と同じなので説明を省く。

【0071】画素領域外部には、データ側駆動回路が設置され、その内部には、輝度情報を持つ基準電圧源 V_r の電圧を 1 つの入力とする電圧比較器 AMP_1 と、モニタ電流電圧変換器となる抵抗 R とが配置されている。 AMP_1 の出力は、第 1 のスイッチ回路である T_2 を介してトランジスタ T_1 のゲートに接続され、 AMP_1 の負極端子には基準電圧源 V_r の電圧が入力され、 AMP_1 の正極端子には、第 2 のスイッチ回路である T_5 を介して第 2 の電圧制御電流源である T_4 が、またモニタ電流電圧変換器である抵抗 R を介して接地電位が接続される。

【0072】次に、駆動電流設定制御動作のうち本形態の特徴的な部分を説明する。

【0073】制御電圧の制御時には、データ側駆動回路に駆動電流に相関する電流 (モニタ電流) I_m が入力される。モニタ電流 I_m は抵抗 R によって電圧 V_m に変換される。電圧 V_m は、 AMP_1 の正極端子に入力され、 AMP_1 の負極端子に入力されている基準電圧源 V_r の電圧と等しくなるように、第 1 のスイッチ回路である T_2 を介してトランジスタ T_1 のゲート電圧 (制御電圧) を制御し、所望の輝度が得られる駆動電流を発生させ発光素子に供給する。

【0074】制御電圧の保持時は、実施形態 4 と同じなので説明を省く。

【0075】本実施形態においても、実施形態 4 と同様

な効果が得られる。

【0076】なお、上記説明では、輝度情報を基準電圧源 V_r の電圧に持たせているが、必ずしもこの限りではなく、基準電圧源 V_r の電圧を固定とし、輝度情報に応じて抵抗 R の抵抗値を変化させても構わない。

【0077】(実施の形態 6) 図 8 は、本発明のアクティブマトリックス型ディスプレイの第 6 の実施形態を示す構成図であり、図 8 においては画素回路は 1 画素分のみを示している。

【0078】まず、構成を説明する。画素内部の構成は、実施形態 4 と同じなので説明を省く。

【0079】画素領域外部には、データ側駆動回路が設置され、その内部においては、輝度情報を持つ基準電流源 I_d が抵抗 R_1 に接続され且つ電圧比較器 AMP_1 の負極端子に接続されている。また、駆動電流に相関するモニタ電流 I_m はモニタ電流電圧変換器である抵抗 R_2 に入力され且つ電圧比較器 AMP_1 の正極端子に入力される。また、 R_1 、 R_2 の他端は接地電位に接続されている。 AMP_1 の出力は、第 1 のスイッチ回路である T_2 を介してトランジスタ T_1 のゲートに接続されている。

【0080】次に、駆動電流設定制御動作のうち本形態の特徴的な部分を説明する。

【0081】制御電圧の制御時には、データ側駆動回路に駆動電流に相関するモニタ電流 I_m が入力される。電流 I_m は抵抗 R_2 によって変換された電圧 V_m が、基準電流源 I_d と抵抗 R_1 とで発生する電圧 V_d と等しくなるように、第 1 のスイッチ回路である T_2 を介してトランジスタ T_1 のゲート電圧 (制御電圧) を制御し、所望の輝度が得られる駆動電流を発生させ発光素子に供給する。

【0082】制御電圧の保持時は、実施形態 4 と同じなので説明を省く。

【0083】本実施形態においても、実施形態 4 と同様な効果が得られる。

【0084】(実施の形態 7) 本実施形態は、上記の各実施形態で示した構成を含むアクティブマトリックス型ディスプレイの全体の構成を示すものである。特にここでは、実施の形態 1 の構成を有する場合を想定した説明をするが、他の実施の形態 2~6 の構成を有する場合も同様にして実施できる。

【0085】図 2 は本発明のアクティブマトリックス型ディスプレイの第 7 の実施形態を示す構成図であり、図 3 は本実施形態の構成における走査信号およびデータ信号のタイミングチャートである。

【0086】図 2 では、 $M \times N$ 個の画素を有するアクティブマトリックス型ディスプレイの一部を示している。データ線方向に並ぶ画素 (図 2 中では縦方向に並ぶ画素) の V_w 端子は全て接続されており、同様に I_m 端子も全て接続され、画素領域外部に設置されたデータ側駆

動回路に接続されている。また、走査線方向に並ぶ画素（図2中では横方向に並ぶ画素）のSA端子、SB端子は各々全て走査側駆動回路に接続されている。図中には記載していないが、走査側駆動回路とデータ側駆動回路とは同期して動作する必要があるため、タイミング情報のやり取りを行っている。また、図2中には記載していないが、システムから送られてくる輝度情報はデータ側駆動回路に入力される。

【0087】本実施形態での動作を説明する。

【0088】1ライン目の走査を開始すると、まず走査信号SBをハイレベルとし、同時にデータ側駆動回路内の基準電流源は画像情報に基づいた基準電流源の電流値を設定する。つぎに走査信号SAをハイレベルとし、選択された各画素は駆動電流設定制御が開始される。

【0089】規定時間内で1ライン目の駆動電流設定制御を終了し、2ライン目の制御を行う。1ライン目の電圧制御終了は、まず走査信号SAをロウレベルにし、つづいて走査信号SBをロウレベルとする。これと同時に2ライン目の動作を開始する。電圧制御が終了したラインでは、次の走査まで画素内のコンデンサに保持された制御電圧に基づいて駆動電流を発光素子に供給し、発光素子は発光しつづける。

【0090】なお以上の説明においては、走査線を1ラインにつき2本使用する形態を示したが、1本のみを使用して第1、第2のスイッチ回路を同時にオンオフしても構わない。しかしながら、制御電圧をコンデンサに正確に書き込むためには、各制御信号のタイミングは、本形態において説明した図3に示すような関係が望ましい。

【0091】各画素の発光動作の説明は、実施形態1に示しているので、ここでは省略する。

【0092】（実施の形態8）図12は、本発明のアクティブマトリクス型ディスプレイの第8の実施形態の構成要素を表す断面斜視図である。

【0093】本実施形態は、前記実施形態1から3に示した、薄膜トランジスタとコンデンサとで構成される第1の電圧制御電流源、すなわち、トランジスタT1のソースとコンデンサCの一端が同一電位に接続されている構造を有する部分に特徴を持つものである。

【0094】その第1の電圧制御電流源の特徴的な構造の説明をする。

【0095】ガラス等の基板上にゲート電極が形成され、その上にゲート絶縁膜1、アモルファスシリコン或いはポリシリコン等の半導体薄膜からなるチャネル層2、コンタクト層3、4が形成されている。金属電極のソース及びドレインとの良好な接触を得る為に、3および4は不純物が添加された低抵抗（p+あるいはn+）となっている。さらに、半導体薄膜からなるチャネル層2、コンタクト層3、4の上及び側面には絶縁保護膜5、6、7が形成されている。

【0096】本実施形態の第1の電圧制御電流源の構造

において、動作上制御電圧が確実に記憶できる十分な容量が確保できるように、ソース側のコンタクト層およびゲート電極をオーバーラップさせた構造を取ることで、トランジスタTFTとコンデンサCを一体とした形で構成でき、特別にコンデンサを用意する必要が無い。

【0097】本実施形態の第1の電圧制御電流源を用いることにより、トランジスタとコンデンサを別々に形成し、その後金属配線で接続を行う必要が無く、接続不良による歩留まりの低下を未然に防ぐことができ、画素回路形成後の表面に不要な凹凸を軽減することができる。さらに、面積を低減することができる。

【0098】

【発明の効果】以上説明した様に、本発明を使用した場合、各画素内の設置された駆動電流源を構成するトランジスタのしきい値電圧のばらつきに影響されず安定且つ正確に駆動電流を発光素子に供給できる。

【0099】また、アーリー効果による影響から完全に開放され、さらには、輝度によって、或いは、経時劣化によってOLEDのアノード・カソード電圧が大きく変化して、駆動電流を発生するトランジスタのソース・ドレイン電圧が十分に確保できず、動作領域が3極管領域になったとしても、安定かつ高精度に駆動電流を発光素子に供給できる為、高精細な画像表示が可能である。

【図面の簡単な説明】

【図1】本発明のアクティブマトリクス型ディスプレイの第1の実施形態を示す構成図である。

【図2】本発明のアクティブマトリクス型ディスプレイの第7の実施形態を示す構成図である。

【図3】第7の実施形態の構成における走査信号およびデータ信号のタイミングチャートである。

【図4】本発明のアクティブマトリクス型ディスプレイの第2の実施形態を示す構成図である。

【図5】本発明のアクティブマトリクス型ディスプレイの第3の実施形態を示す構成図である。

【図6】本発明のアクティブマトリクス型ディスプレイの第4の実施形態を示す構成図である。

【図7】本発明のアクティブマトリクス型ディスプレイの第5の実施形態を示す構成図である。

【図8】本発明のアクティブマトリクス型ディスプレイの第6の実施形態を示す構成図である。

【図9】従来例1のアクティブマトリクス型ディスプレイを示す構成図である。

【図10】従来例2のアクティブマトリクス型ディスプレイを示す構成図である。

【図11】従来例3のアクティブマトリクス型ディスプレイを示す構成図である。

【図12】本発明のアクティブマトリクス型ディスプレイの第8の実施形態の構成要素を表す断面斜視図である。

【符号の説明】

10

20

30

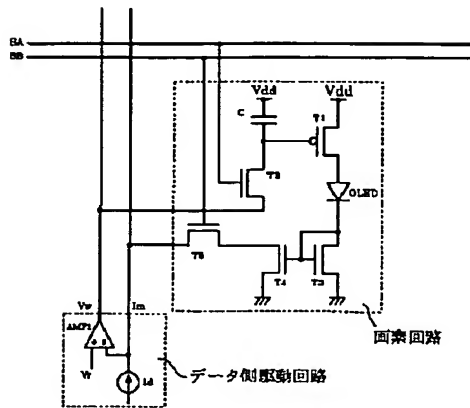
40

50

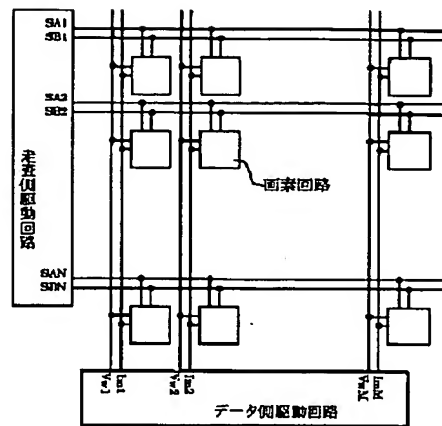
OLED 有機EL素子
 TFT1~TFT4, T1~T5 薄膜トランジスタ
 C コンデンサ
 R, R1, R2 抵抗

I_w, I_d 基準電流源
 V_r, V_d 基準電圧源
 AMP1 電圧比較器

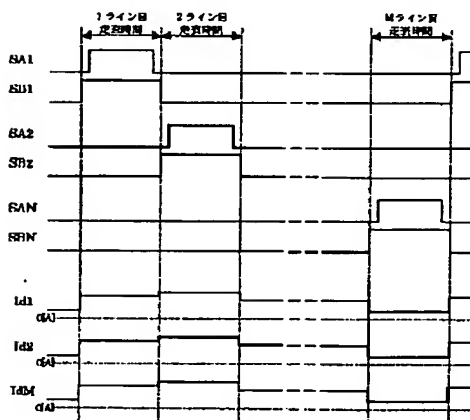
【図1】



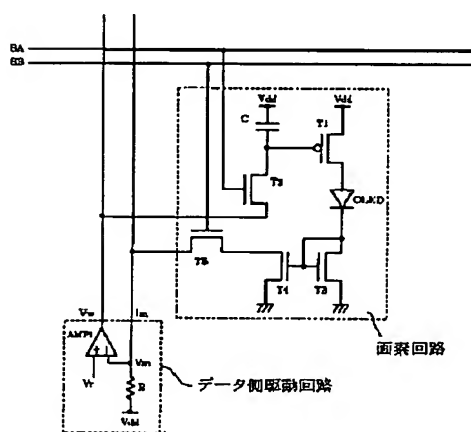
【図2】



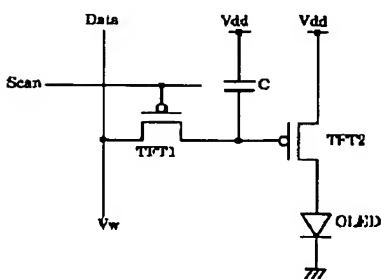
【図3】



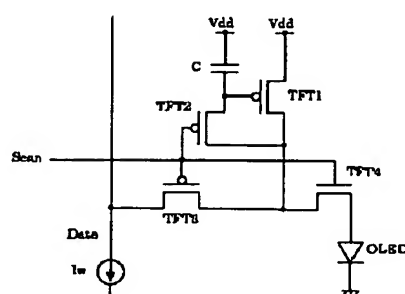
【図4】



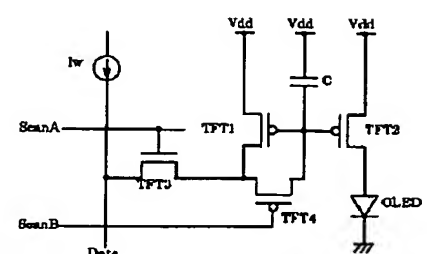
【図9】



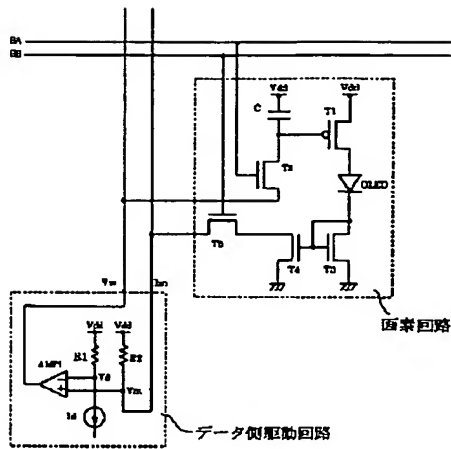
【図10】



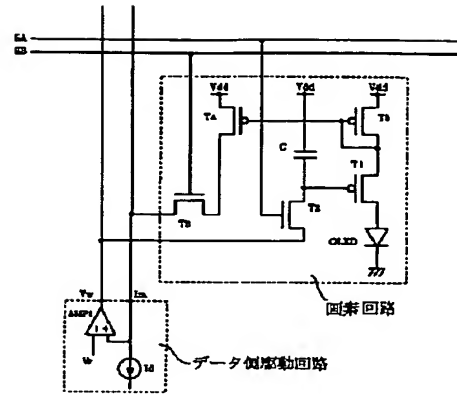
【図11】



【図5】

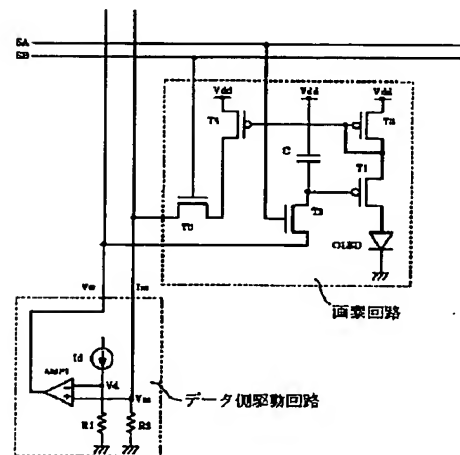
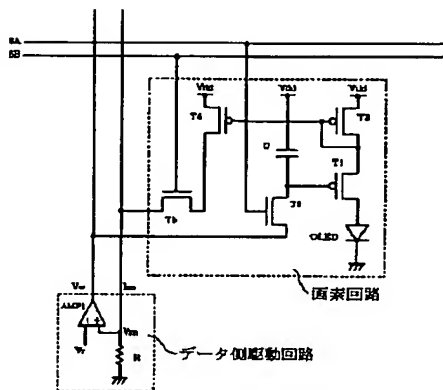


【図6】

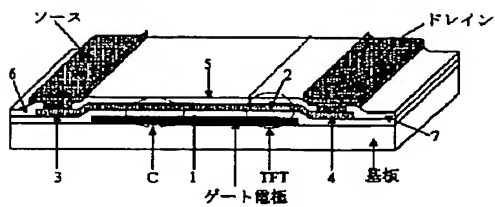


【図8】

【図7】



【図12】



フロントページの続き

(51) Int. Cl. 7

G 0 9 G 3/20

H 0 5 B 33/08

33/14

識別記号

6 4 2

F I

G 0 9 G 3/20

H 0 5 B 33/08

33/14

テーマコード(参考)

6 4 2 B

A

F ターム(参考) 3K007 AB02 AB17 BA06 DA01 DB03
EB00 GA04
5C080 AA06 BB05 DD03 EE28 FF11
JJ03 JJ04
5C094 AA07 BA03 BA27 CA19 DA09
DB01 DB04 EA04 EA07 EA10
FB01 FB20 GA10